



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001044281 A**(43) Date of publication of application: **16.02.01**

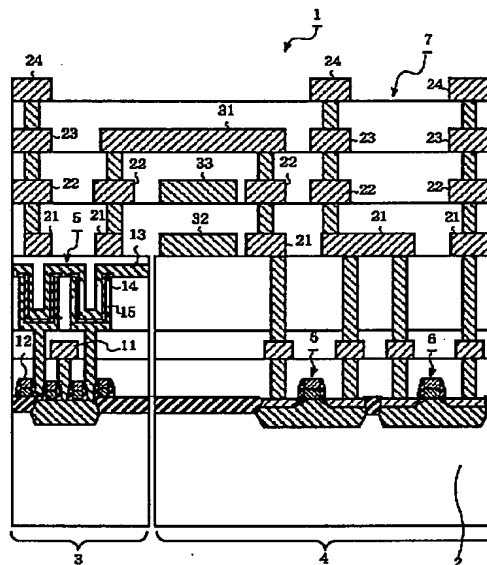
(51) Int. Cl. **H01L 21/768**
B23K 26/00
H01L 21/82
H01L 27/108
H01L 21/8242

(21) Application number: **11212469**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **27.07.99**(72) Inventor: **TOTTORI ISAO****(54) SEMICONDUCTOR DEVICE OF MULTILAYER WIRING STRUCTURE****(57) Abstract:**

PROBLEM TO BE SOLVED: To prevent a laser beam which irradiates a fuse for cutting it off, from reaching a semiconductor substrate located below the fuse.

SOLUTION: This device is equipped with a first conductive layer 32 formed in the same layer with a first metal wiring layer 21, which is comprised in a multilayer wiring 7, a second conductive layer 33 which is formed below a fuse 31 and provided in the same layer with a second metal wiring layer 22 comprised in the multilayer wiring 7. A laser beam absorbing means is composed of the first conductive layer 32 and the second conductive layer 33.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-44281

(P 2 0 0 1 - 4 4 2 8 1 A)

(43) 公開日 平成13年2月16日 (2001. 2. 16)

(51) Int. Cl. ⁷	識別記号	F I	テマコード	(参考)
H01L 21/768		H01L 21/90	B	4E068
B23K 26/00		B23K 26/00	C	5F033
H01L 21/82		H01L 21/82	F	5F064
27/108		27/10	C	5F083
21/8242		681	F	
		681	F	
		審査請求	未請求	請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平11-212469

(22) 出願日 平成11年7月27日 (1999. 7. 27)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 鳥取 功

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

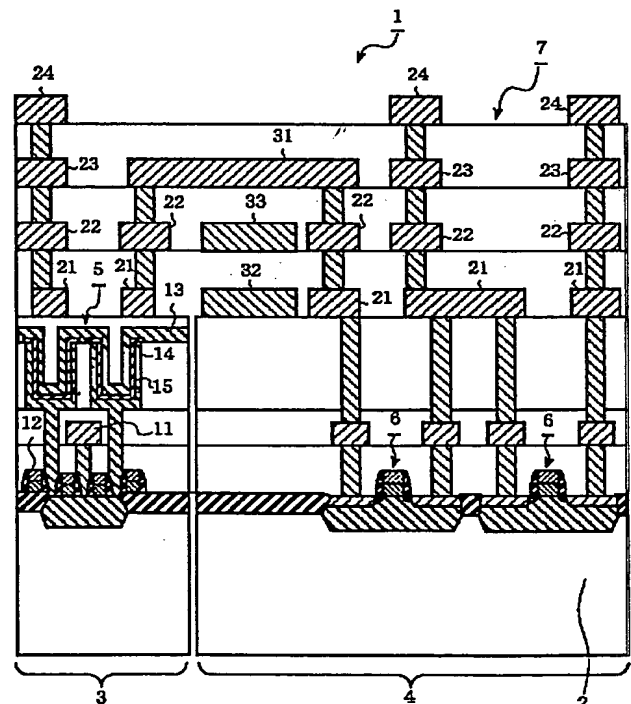
最終頁に続く

(54) 【発明の名称】 多層配線構造の半導体装置

(57) 【要約】

【課題】 ヒューズ31を切断するとき、半導体基板2にダメージが発生する場合があるため、多層配線構造の半導体装置の品質が劣化したり、多層配線構造の半導体装置が不良品になる場合があるという課題や、多層配線構造の半導体装置の集積度を上げることができないという課題があった。

【解決手段】 ヒューズ31の下側に配置され、多層配線7を構成する第1層目の金属配線21と同一層に形成された第1の導電層32と、ヒューズ31の下側に配置され、多層配線7を構成する第2層目の金属配線22と同一層に形成された第2の導電層33とを備え、第1の導電層32と第2の導電層33とでレーザ光吸収手段を構成する。



【特許請求の範囲】

【請求項1】 半導体素子を設ける半導体基板より上層に配線が形成される多層配線構造の半導体装置において、

上記多層配線を構成する配線と同一層に形成されたヒューズと、

上記ヒューズの下側に配置される2層以上の導電層により構成され、各導電層が上記多層配線を構成するいずれかの配線と同一層に形成されるレーザ光吸収手段とを備えたことを特徴とする多層配線構造の半導体装置。

【請求項2】 導電層はダミーパターンにより構成されることを特徴とする請求項1記載の多層配線構造の半導体装置。

【請求項3】 ヒューズの下側の半導体基板に半導体素子を備えたことを特徴とする請求項1記載の多層配線構造の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体素子を設ける半導体基板より上層に、配線が形成される多層配線構造の半導体装置に関するものである。

【0002】

【従来の技術】 図8は従来の多層配線構造の半導体装置の構成を示す断面図である。図9は従来の多層配線構造の半導体装置のヒューズ部分の概略的な構成を示す断面図である。図において、101は多層配線構造の半導体装置、2'は半導体基板、3'はメモリ領域、4'は周辺回路領域、5'はメモリ領域3'に形成されたスタック型のDRAMメモリセル、6'は周辺回路領域4'に形成されたトランジスタ、7'はDRAMメモリセル5'より上層に形成された多層配線である。

【0003】 DRAMメモリセル5'において、11'はビット線、12'はワード線、13'はセルプレート、14'はストレージノード、15'はセルプレート13'とストレージノード14'とで挟まれた絶縁層である。

【0004】 多層配線7'において、21'は第1層目の金属配線、22'は第2層目の金属配線、23'は第3層目の金属配線、24'は第4層目の金属配線である。

【0005】 また、31'はメモリ領域3'と周辺回路領域4'との境界付近において、多層配線7'を構成する第3層目の金属配線23'と同一層に形成されたヒューズである。ヒューズ31'は、製造工程で発生した不良のDRAMメモリセル5'を冗長メモリセルに置換するために用いられる。

【0006】 なお、図8は多層配線構造の半導体装置の具体的な構成を示しておらず、単に、DRAMメモリセル5'を構成要素として含むメモリがメモリ領域3'に形成され、トランジスタ6'を構成要素として含む周辺

回路が周辺回路領域4'に形成されることを示しているにすぎない。また、図8中、DRAMメモリセル5'及びトランジスタ6'の一部の構成要素は、省略して図示していない。また、図を簡略化するため、図8及び図9中、ハッチングを省略している部分もある。

【0007】 次に動作について説明する。製造工程で発生した不良のDRAMメモリセル5'を冗長メモリセルに置換する場合、まず、ウェーハテストを行う。その後、そのテスト結果に基づいて、図10に示すように、切断すべきヒューズ31'にレーザ光Pを照射する。ヒューズ31'にレーザ光Pを照射すると、レーザ光Pのエネルギーがヒューズ31'に吸収され、ヒューズ31'が溶融して切断される。このようにして、不良のDRAMメモリセル5'が冗長メモリセルに置換される。

10 【0008】 なお、本願発明の参考技術として特開昭60-76140号公報及び特開平9-17877号公報に開示の技術がある。

【0009】 図11は特開昭60-76140号公報に示された半導体装置のヒューズ部分の断面図である。図において、111は半導体装置、112は半導体基板、113はフィールド酸化膜、114はヒューズ、115はヒューズ114を覆うPSG（リン珪酸ガラス）膜、116はヒューズ114の下側のフィールド酸化膜113上に形成された導電層、117はヒューズ114と導電層116との間に形成された絶縁膜である。

【0010】 このような特開昭60-76140号公報に開示の技術では、ヒューズ114及び導電層116をポリシリコン、高融点金属または、それらのシリサイド化合物で形成しており、メモリセルを構成するワード線やビット線を形成する際に、それらを同時に形成することを想定している。従って、特開昭60-76140号公報に開示の技術では、ヒューズ114の下側に配置できる導電層は1層のみであり、2層以上の導電層をヒューズ114の下側に配置することは想定していない。一方、後述する本願発明では、メモリセルより上層に、多層配線を形成する際に、ヒューズ及び導電層を形成することにより、ヒューズの下側に2層以上の導電層を配置している。以上のことから、本願発明と、特開昭60-76140号公報に開示の技術とは思想が異なっている。

30 40

【0011】 図12は特開平9-17877号公報に示された半導体装置のヒューズ部分の断面図である。図において、121は半導体装置、122はヒューズ、123はヒューズ122の下側に形成された導電層である。

【0012】 このような特開平9-17877号公報に開示の技術では、導電層123を、レーザ光を反射するための手段として用いており、2層以上の導電層によりレーザ光を反射するための手段を構成することは想定していない。そして、特開平9-17877号公報に開示の技術では、反射しきれなかったレーザ光を吸収するた

め、導電層 123 をある程度の厚さにする必要があると
考えられる。一方、後述する本願発明では、ヒューズの
下側に配置する導電層を、レーザ光を吸収するための手
段として用いており、近年の多層配線を構成する配線の
薄膜化により 1 層の導電層でレーザ光を十分に吸収でき
ない恐れがあることを考慮して、2 層以上の導電層によ
りレーザ光を吸収するための手段を構成している。以上
のことから、本願発明と、特開平 9-17877 号公報
に開示の技術とは思想が異なっている。

【0013】

【発明が解決しようとする課題】従来の多層配線構造の
半導体装置は以上のように構成されているので、レーザ
光 P を照射してヒューズ 31 を切断するとき、ヒューズ
31 で吸収しきれなかったレーザ光がヒューズ 31 の下
側に伝達し、半導体基板 2 まで到達することにより、ヒ
ューズ 31 の下側の半導体基板 2 にダメージ 2a が発生
する場合があった。このため、多層配線構造の半導体装
置の品質が劣化したり、多層配線構造の半導体装置が不
良品となる場合があるという課題があった。

【0014】また、ヒューズ 31 の下側の半導体基板 2
に半導体素子を設けた場合、半導体基板 2 まで到達する
レーザ光により半導体素子が破壊するため、ヒューズ 3
1 の下側の半導体基板 2 に半導体素子を設けることがで
きなかった。このため、半導体装置の集積度を上げるこ
とができないという課題があった。

【0015】この発明は上記のような課題を解決するた
めになされたもので、ヒューズを切断するために照射す
るレーザ光がヒューズの下側の半導体基板に到達する恐
れが少ない多層配線構造の半導体装置を得ることを目的
とする。

【0016】

【課題を解決するための手段】この発明に係る多層配線
構造の半導体装置は、多層配線を構成する配線と同一層
に形成されたヒューズと、ヒューズの下側に配置される
2 層以上の導電層により構成され、各導電層が多層配線
を構成するいずれかの配線と同一層に形成されるレーザ
光吸収手段とを備えたものである。

【0017】この発明に係る多層配線構造の半導体装置
は、導電層がダミーパターンにより構成されたものである。

【0018】この発明に係る多層配線構造の半導体装置
は、ヒューズの下側の半導体基板に半導体素子を備えた
ものである。

【0019】

【発明の実施の形態】以下、この発明の実施の一形態を
説明する。

実施の形態 1. 図 1 はこの発明の実施の形態 1 による多
層配線構造の半導体装置の構成を示す断面図である。図
2 はこの発明の実施の形態 1 による多層配線構造の半導
体装置のヒューズ部分の概略的な構成を示す断面図であ

る。図において、1 は多層配線構造の半導体装置、2 は
半導体基板、3 はメモリ領域、4 は周辺回路領域、5 は
メモリ領域 3 に形成されたスタック型の DRAM メモリ
セル、6 は周辺回路領域 4 に形成されたトランジスタ、
7 は DRAM メモリセル 5 より上層に形成された多層配
線である。

【0020】DRAM メモリセル 5 において、11 はビ
ット線、12 はワード線、13 はセルプレート、14 は
ストレージノード、15 はセルプレート 13 とストレ
ージノード 14 とで挟まれた絶縁層である。

【0021】多層配線 7 において、21 は第 1 層目の金
属配線、22 は第 2 層目の金属配線、23 は第 3 層目の
金属配線、24 は第 4 層目の金属配線である。第 1 層目
の金属配線 21 と第 2 層目の金属配線 22、第 2 層目の
金属配線 22 と第 3 層目の金属配線 23、及び第 3 層目
の金属配線 23 と第 4 層目の金属配線 24 は、それぞれ
スルーホールを介して接続されている。

【0022】また、31 はメモリ領域 3 と周辺回路領域
4 との境界付近において、多層配線 7 を構成する第 3 層
目の金属配線 23 と同一層に形成されたヒューズであ
る。ヒューズ 31 は第 3 層目の金属配線 23 を形成する
際に同時に形成される。図 1 には示していないが、半導
体装置 1 には多数のヒューズ 31 が形成されている。ヒ
ューズ 31 は、製造工程で発生した不良の DRAM メモ
リセル 5 を冗長メモリセルに置換するために用いられ
る。一般に、ヒューズ 31 は、多層配線 7 を構成する上
から 1 番目あるいは 2 番目の金属配線と同一層に形成さ
れる。

【0023】また、32 はヒューズ 31 の下側に配置さ
れ、多層配線 7 を構成する第 1 層目の金属配線 21 と同
一層に形成された第 1 の導電層、33 はヒューズ 31 の
下側に配置され、多層配線 7 を構成する第 2 層目の金属
配線 22 と同一層に形成された第 2 の導電層である。第
1 の導電層 32 は第 1 層目の金属配線 21 を形成する際
に同時に形成され、第 2 の導電層 33 は第 2 層目の金属
配線 22 を形成する際に同時に形成される。第 1 の導電
層 32 と第 2 の導電層 33 は、ヒューズ 31 を切断する
ために照射されヒューズ 31 で吸収しきれなかったレー
ザ光を吸収するために用いられ、第 1 の導電層 32 と第
2 の導電層 33 とでレーザ光吸収手段が構成される。レ
ーザ光の照射位置が多少ずれたとしても、第 1 の導電層
32 と第 2 の導電層 33 とによりレーザ光を吸収するこ
とが可能のように、第 1 の導電層 32 と第 2 の導電層の
形状は、レーザ光を照射する方向から見て、ヒューズ 3
1 より大きいことが望ましい。

【0024】なお、図 1 は多層配線構造の半導体装置の
具体的な構成を示しておらず、単に、DRAM メモリセ
ル 5 を構成要素として含むメモリがメモリ領域 3 に形成
され、トランジスタ 6 を構成要素として含む周辺回路が
周辺回路領域 4 に形成されることを示しているにすぎな

10

20

30

40

50

い。また、図1中、DRAMメモリセル5及びトランジスタ6の一部の構成要素は、省略して図示していない。また、図を簡略化するため、図1及び図2中、ハッチングを省略している部分もある。

【0025】次に動作について説明する。製造工程で発生した不良のDRAMメモリセル5を冗長メモリセルに置換する場合、まず、ウェーハテストを行う。その後、そのテスト結果に基づいて、図3に示すように、切断すべきヒューズ31にレーザ光Pを照射する。ヒューズ31にレーザ光Pを照射すると、レーザ光Pのエネルギーがヒューズ31に吸収され、ヒューズ31が溶融して切断されるとともに、ヒューズ31で吸収しきれなかったレーザ光がヒューズ31の下側に形成された第1の導電層32と第2の導電層33とにより吸収される。このようにして、ヒューズ31の下側の半導体基板2へのダメージを阻止しつつ、不良のDRAMメモリセル5が冗長メモリセルに置換される。

【0026】以上のように、この実施の形態1によれば、ヒューズ31の下側に、第1の導電層32と第2の導電層33とで構成されるレーザ光吸収手段を配置したので、ヒューズ31を切断するために照射されヒューズ31で吸収しきれなかったレーザ光が第1の導電層32と第2の導電層33とにより吸収される。このため、ヒューズ31の下側の半導体基板2にダメージが発生する恐れが小さく、多層配線構造の半導体装置の品質が良好になる効果が得られる。

【0027】実施の形態2。この実施の形態では、実施の形態1による多層配線構造の半導体装置1の第1の導電層32と第2の導電層33を、ダミーパターンで構成する場合について説明する。ダミーパターンとは、CMP (chemical mechanical polishing) プロセスなどのウェーハ表面を平坦化するプロセスにおいて、良好に平坦面を得るために、配線として機能する導電層の間に一定の間隔で配置される多角形状の導電層のことである。

【0028】図4はこの発明の実施の形態2による多層配線構造の半導体装置のヒューズ部分の概略的な構成を示す断面図である。図において、34はヒューズ31の下側に配置され、多層配線7を構成する第1層目の金属配線21と同一層に形成された第1のダミーパターン、35はヒューズ31の下側に配置され、多層配線7を構成する第2層目の金属配線22と同一層に形成された第2のダミーパターンである。第1のダミーパターン34は第1層目の金属配線21を形成する際に同時に形成され、第2のダミーパターン35は第2層目の金属配線22を形成する際に同時に形成される。第1のダミーパターン34と第2のダミーパターン35は、ヒューズ31を切断するために照射されヒューズ31で吸収しきれなかったレーザ光を吸収するために用いられ、複数の第1のダミーパターン34で第1の導電層32が構成され、

複数の第2のダミーパターン35で第2の導電層33が構成される。そして、第1の導電層32と第2の導電層33とでレーザ光吸収手段が構成される。その他の構成要素は実施の形態1の場合と同様であるため、その詳細な説明は省略する。

【0029】次に動作について説明する。製造工程で発生した不良のDRAMメモリセル5を冗長メモリセルに置換する場合、まず、ウェーハテストを行う。その後、そのテスト結果に基づいて、図5に示すように、切断すべきヒューズ31にレーザ光Pを照射する。ヒューズ31にレーザ光Pを照射すると、レーザ光Pのエネルギーがヒューズ31に吸収され、ヒューズ31が溶融して切断されるとともに、ヒューズ31で吸収しきれなかったレーザ光がヒューズ31の下側に形成された第1のダミーパターン34と第2のダミーパターン35とにより吸収される。このようにして、ヒューズ31の下側の半導体基板2へのダメージを阻止しつつ、不良のDRAMメモリセル5が冗長メモリセルに置換される。

【0030】以上のように、この実施の形態2によれば、ヒューズ31の下側に、複数の第1のダミーパターン34で構成される第1の導電層32と複数の第2のダミーパターン35で構成される第2の導電層33により構成されるレーザ光吸収手段を配置したので、ヒューズ31を切断するために照射されヒューズ31で吸収しきれなかったレーザ光が第1のダミーパターン34と第2のダミーパターン35とにより吸収される。このため、ヒューズ31の下側の半導体基板2にダメージが発生する恐れが小さく、多層配線構造の半導体装置の品質が良好になる効果が得られる。

【0031】実施の形態3。この実施の形態では、実施の形態1による多層配線構造の半導体装置1のヒューズ31の下側の半導体基板2に半導体素子としてのトランジスタを設ける場合について説明する。

【0032】図6はこの発明の実施の形態3による多層配線構造の半導体装置のヒューズ部分の概略的な構成を示す断面図である。図において、41はヒューズ31の下側の半導体基板2に設けられたトランジスタである。その他の構成要素は実施の形態1の場合と同様であるため、その詳細な説明は省略する。

【0033】次に動作について説明する。製造工程で発生した不良のDRAMメモリセル5を冗長メモリセルに置換する場合、まず、ウェーハテストを行う。その後、そのテスト結果に基づいて、図7に示すように、切断すべきヒューズ31にレーザ光Pを照射する。ヒューズ31にレーザ光Pを照射すると、レーザ光Pのエネルギーがヒューズ31に吸収され、ヒューズ31が溶融して切断されるとともに、ヒューズ31で吸収しきれなかったレーザ光がヒューズ31の下側に形成された第1の導電層32と第2の導電層33とにより吸収される。このようにして、ヒューズ31の下側の半導体基板2に形成さ

れたトランジスタ 41 の破壊を阻止しつつ、不良の DRAM メモリセル 5 が冗長メモリセルに置換される。

【0034】 以上のように、この実施の形態 3 によれば、ヒューズ 31 の下側に、第 1 の導電層 32 と第 2 の導電層 33 とで構成されるレーザ光吸収手段を配置するとともに、ヒューズ 31 の下側の半導体基板 2 にトランジスタ 41 を設けたので、多層配線構造の半導体装置の集積度が高くなる効果が得られる。

【0035】 なお、この実施の形態では、実施の形態 1 による多層配線構造の半導体装置 1 のヒューズ 31 の下側の半導体基板 2 に半導体素子としてのトランジスタ 41 を設けた場合について説明したが、実施の形態 2 による多層配線構造の半導体装置のヒューズ 31 の下側の半導体基板 2 に半導体素子としてのトランジスタを設ける場合であっても同様の効果が得られる。

【0036】 また、この実施の形態では、半導体素子としてトランジスタを設ける場合について説明したが、半導体素子として抵抗や、キャパシタなどを設ける場合であっても同様の効果が得られる。

【0037】 上述した各実施の形態では、配線が 4 層であり、3 層目の配線と同一層にヒューズを配置する場合について説明しているが、配線は 5 層以上であってもよく、ヒューズはその下側に 2 層以上の導電層を備えていれば、3 層目以上の配線と同一層に配置していてもよい。

【0038】

【発明の効果】 以上のように、この発明によれば、多層配線を構成する配線と同一層に形成されたヒューズと、ヒューズの下側に配置される 2 層以上の導電層により構成され、各導電層が多層配線を構成するいずれかの配線と同一層に形成されたレーザ光吸収手段とを備えるように、多層配線構造の半導体装置を構成したので、ヒューズを切断するために照射されヒューズで吸収しきれなかったレーザ光がヒューズの下側に配置された 2 層以上の導電層により吸収される。このため、ヒューズの下側の半導体基板にダメージが発生する恐れが小さく、品質の良好な多層配線構造の半導体装置を得ることができる。

【0039】 この発明によれば、導電層がダミーパターンにより構成されるように、多層配線構造の半導体装置を構成したので、ヒューズを切断するために照射されヒューズで吸収しきれなかったレーザ光がヒューズの下側に配置された 2 層以上のダミーパターンにより吸収される。このため、ヒューズの下側の半導体基板にダメージが発生する恐れが小さく、品質の良好な多層配線構造の

半導体装置を得ることができる効果がある。

【0040】 この発明によれば、ヒューズの下側の半導体基板に半導体素子を備えるように、多層配線構造の半導体装置を構成したので、集積度の高い多層配線構造の半導体装置を得ることができる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による多層配線構造の半導体装置の構成を示す断面図である。

【図 2】 この発明の実施の形態 1 による多層配線構造の半導体装置のヒューズ部分の概略的な構成を示す断面図である。

【図 3】 この発明の実施の形態 1 による多層配線構造の半導体装置の動作説明図である。

【図 4】 この発明の実施の形態 2 による多層配線構造の半導体装置のヒューズ部分の概略的な構成を示す断面図である。

【図 5】 この発明の実施の形態 2 による多層配線構造の半導体装置の動作説明図である。

【図 6】 この発明の実施の形態 3 による多層配線構造の半導体装置のヒューズ部分の概略的な構成を示す断面図である。

【図 7】 この発明の実施の形態 3 による多層配線構造の半導体装置の動作説明図である。

【図 8】 従来の多層配線構造の半導体装置の構成を示す断面図である。

【図 9】 従来の多層配線構造の半導体装置のヒューズ部分の概略的な構成を示す断面図である。

【図 10】 従来の多層配線構造の半導体装置の動作説明図である。

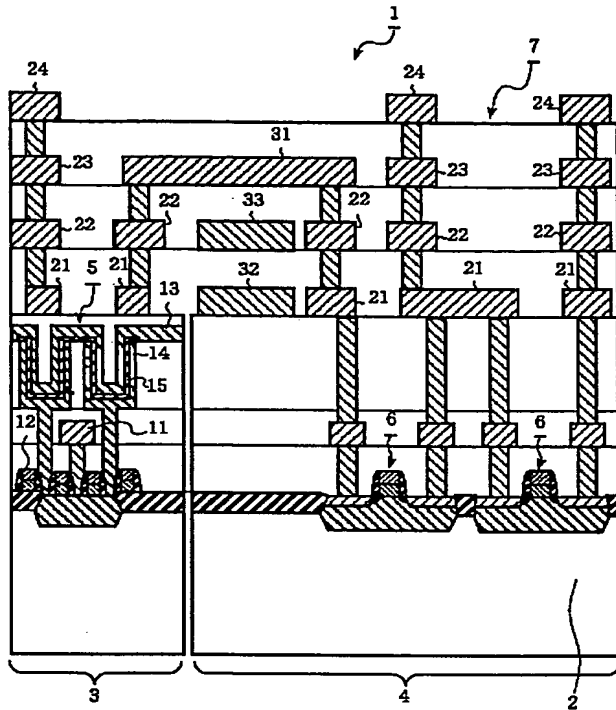
【図 11】 特開昭 60-76140 号公報に示された半導体装置のヒューズ部分の断面図である。

【図 12】 特開平 9-17877 号公報に示された半導体装置のヒューズ部分の断面図である。

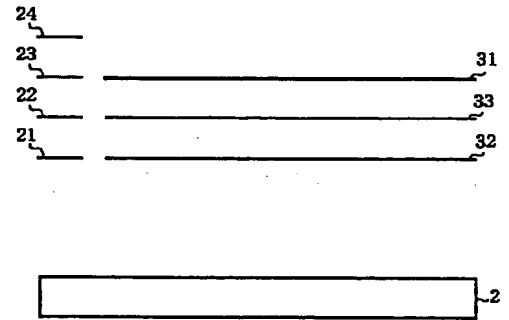
【符号の説明】

1 多層配線構造の半導体装置、2 半導体基板、2a ダメージ、3 メモリ領域、4 周辺回路領域、5 DRAM メモリセル、6 トランジスタ、7 多層配線、11 ビット線、12 ワード線、13 セルプレート、14 ストレージノード、15 絶縁層、21 第 1 層目の金属配線、22 第 2 層目の金属配線、23 第 3 層目の金属配線、24 第 4 層目の金属配線、31 ヒューズ、32 第 1 の導電層、33 第 2 の導電層、34 第 1 のダミーパターン、35 第 2 のダミーパターン、41 トランジスタ。

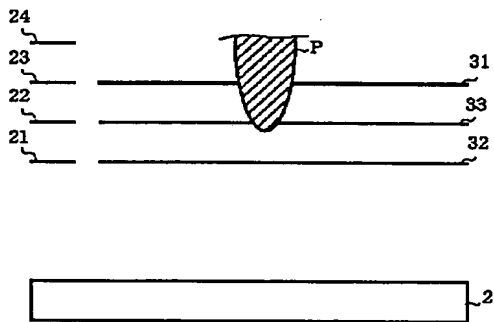
【図 1】



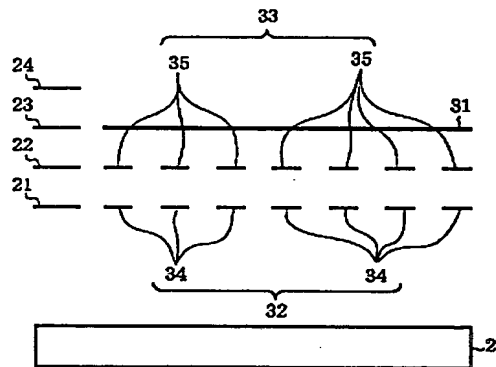
【図 2】



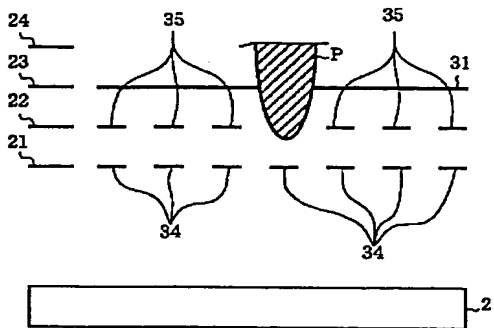
【図 3】



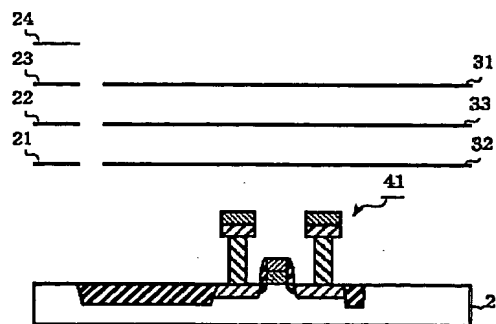
【図 4】



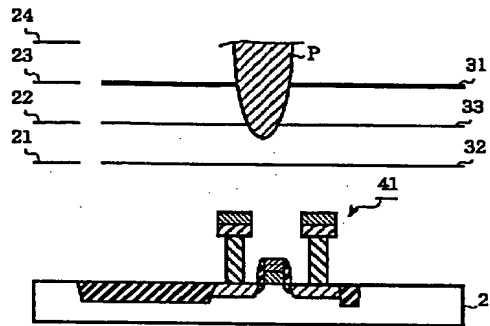
【図 5】



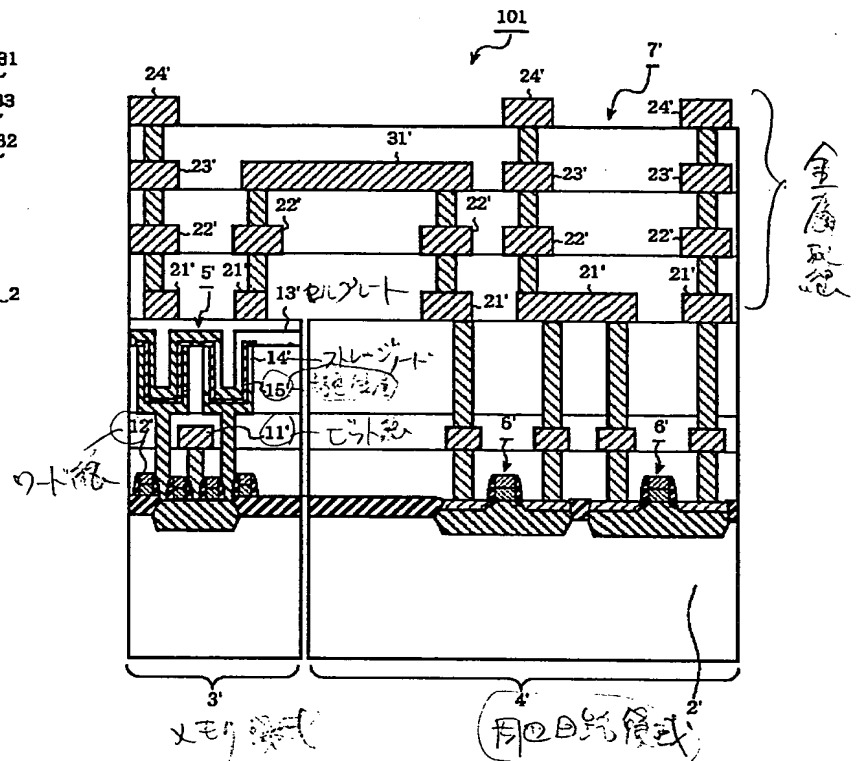
【図 6】



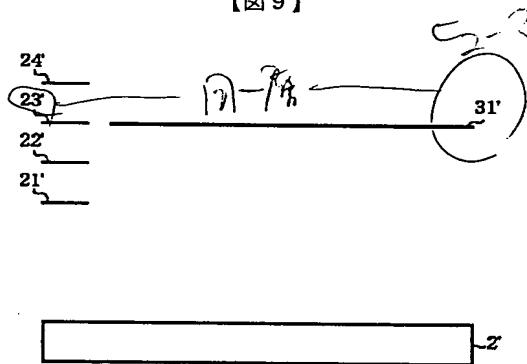
【図 7】



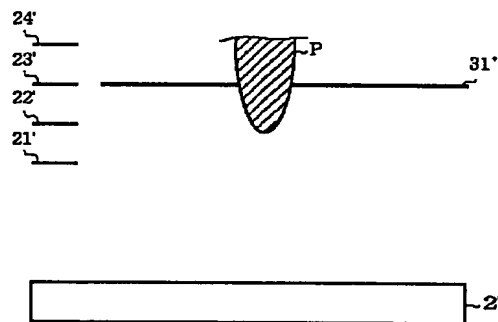
【図 8】



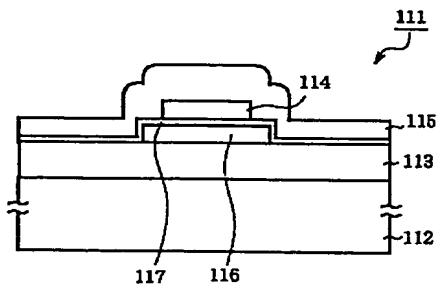
【図 9】



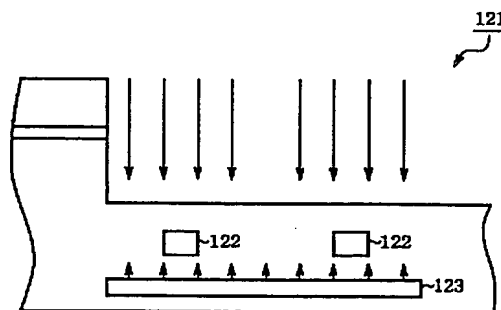
【図 10】



【図 11】



【図 12】



フロントページの続き

F ターム(参考) 4E068 AC00 CF01 DA09 DA11
5F033 QQ53 UU04 VV02 VV11 XX00
XX36
5F064 EE23 EE26 EE60 FF02 FF24
FF27 FF42
5F083 AD24 AD48 GA30 KA20 LA11
ZA10 ZA20 ZA28